

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202265

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01L 33/00

(21)Application number : 05-354572

(71)Applicant : TOYODA GOSEI CO LTD

AKASAKI ISAMU

AMANO HIROSHI

(22)Date of filing : 27.12.1993

(72)Inventor : MANABE KATSUhide

KOIKE MASAYOSHI

KATO HISAYOSHI

AKASAKI ISAMU

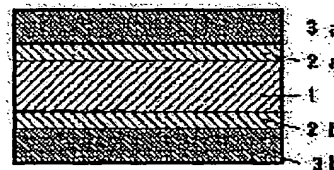
AMANO HIROSHI

## (54) MANUFACTURE OF GROUP III NITRIDE SEMICONDUCTOR

## (57)Abstract:

PURPOSE: To obtain two semiconductors formed of group III nitride semiconductor by forming two semiconductor layers made of the group III nitride semiconductor on intermediate layers formed on both side surfaces of a sapphire board, removing only the two intermediate layers by wet etching, and peeling the two semiconductor layers from the board.

CONSTITUTION: Intermediate layers 2a, 2b made of zinc oxide are formed on both side surfaces of a sapphire board 1. Two semiconductor layers 3a, 3b made of group III nitride semiconductor are respectively formed on the layers 2a, 2b. Only the layers 2a, 2b are removed by wet etching using solution for etching only the zinc oxide to peel the layers 3a, 3b from the board 1. Thus, two semiconductors made of the group III nitride semiconductor can be easily manufactured.



## LEGAL STATUS

[Date of request for examination] 25.12.2000

[Date of sending the examiner's decision of rejection] 04.12.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision] 2001-23304

of rejection]

[Date of requesting appeal against examiner's decision of rejection] 27.12.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention is III. It is related with the method for obtaining the epitaxial substrate of a group nitride semiconductor.

[0002]

[Description of the Prior Art] Conventionally, it is GaN as blue light emitting diode. The thing using the compound semiconductor of a system is known. The GaN Since the compound semiconductor of a system is a transited [ directly ] type, it attracts attention from that luminous efficiency is high, making into the luminescent color blue it is [ blue ] one in three primary colors of the light, etc.

[0003] Moreover, general formula  $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$  ( $x=0$ ,  $y=0$ , and  $x=y=0$  are included) III expressed The light emitting device using the group nitride semiconductor is known. This semiconductor has the energy band gap corresponding to the wavelength of 200–650nm, and is a transited [ directly ] type. Especially this semiconductor attracts attention as a light-emitting-device material of a visible short wavelength field and an ultraviolet region.

[0004]

[Problem(s) to be Solved by the Invention] The crystal of this semiconductor is near growth temperature, and since the equilibrium vapor pressure of the nitrogen of a composition element is very high, creation of a bulk crystal is very difficult. Therefore, that to which this semiconductor grew the semiconductor epitaxially on silicon on sapphire is used. Therefore, always, various kinds of semiconductor devices using the above-mentioned semiconductor are used, where silicon on sapphire is attached. Since the semiconductor device has attached silicon on sapphire, the installation structure of an electrode, the ejection structure of light, etc. have restrictions.

[0005] If it says by the attaching structure of an electrode, since silicon on sapphire is an insulator, it cannot attach an electrode so that p layers and n layers may be put between sand UJJI structure. Therefore, in the best layer, it is necessary to form the electrode to p layers and n layers. For that, the slot for insulating separation is formed or the process which forms the hole for forming the electrode to a lower layer is needed for an excess. Moreover, with this electrode structure, current is poured in in parallel with a lower layer field. For this reason, while resistance became large and the voltage drop became large, there was a problem that the calorific value of the Joule's heat became large.

[0006] The purpose of this invention is  $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$  ( $x=0$ ,  $y=0$ , and  $x=y=0$  are included). III expressed It is manufacturing the substrate of a group nitride semiconductor easily. Moreover, other purposes of this invention are constituting light emitting diode using the single crystal substrate obtained by making it such.

[0007]

[Means for Solving the Problem] this invention consists of the following process. The interlayer who changes [ 1st ] from a zinc oxide (ZnO) to both sides of silicon on sapphire is formed. the 2nd — both sides of the silicon on sapphire — the interlayer top of two formation \*\*\*\* — III Group nitride semiconductor ( $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ;  $x=0$ ,  $y=0$ , and  $x=y=0$  are included) from — two

becoming semiconductor layers are formed two semiconductor layers are exfoliated from silicon on sapphire by removing only two interlayers by wet etching using the solution which  
 \*\*\*\*\*s [ 3rd ] only a zinc oxide -- making -- III Group nitride semiconductor ( $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ;  $x=0$ ,  $y=0$ , and  $x=y=0$  are included) from -- the becoming semiconductor is obtained  
 [0008]

[Function and Effect(s) of the Invention] The lattice constant of a zinc oxide (ZnO) is sapphire and III. Group nitride semiconductor ( $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ;  $x=0$ ,  $y=0$ , and  $x=y=0$  are included) III good on near and silicon on sapphire to a lattice constant It functions as a buffer layer into which a group nitride semiconductor can be grown up. Moreover, it is III of two sheets at once by removing only this interlayer by etching. A group nitride semiconductor substrate can be obtained. Thus, III good in this invention It becomes possible to manufacture a group nitride semiconductor wafer.

[0009]

[Example] Hereafter, this invention is explained based on a concrete example. Drawing 1 - drawing 3 are process drawings having shown how to manufacture the gallium-nitride compound semiconductor (GaN) of this invention. As shown in drawing 1, the silicon on sapphire 1 which has the field direction of a direction (0001) was prepared, and organic chemicals, such as a methanol, washed the silicon on sapphire 1. Then, silicon on sapphire 1 was set in the chamber of RF sputtering system, and the chamber was exhausted to the vacuum. Then, the spatter of the target of ZnO was carried out by the mixed gas of an argon and oxygen, and as shown in drawing 2, the interlayers 2a and 2b who consist of ZnO were formed in both sides of silicon on sapphire 1 by 100nm in thickness. These interlayers 2a and 2b had the strong amount of preferred orientation to c shaft orientations.

[0010] Next, the silicon on sapphire 1 in which Interlayers 2a and 2b were formed was set in the chamber of halogen transport apparatus. And after exhausting a chamber to a vacuum, nitrogen gas was introduced and silicon on sapphire 1 was heated in temperature of 1000 degrees C which can grow a GaN single crystal. At this time, the amount of preferred orientation of Interlayers' 2a and 2b ZnO improves further, and it becomes possible to grow up GaN of a single crystal on these interlayers 2a and 2b. GaCl which Ga and the hydrogen chloride (HCl) were made to react and was generated at the elevated temperature as material gas of a gallium (Ga) was used. Moreover, ammonia was used as material gas of nitrogen (N). GaCl and ammonia were supplied to the front face of silicon on sapphire 1, and GaN was grown up. As shown in drawing 3, the semiconductor layers 3a and 3b which consist of GaN with a thickness of 300 micrometers by growth of 5 hours were formed in both sides of silicon on sapphire 1 through Interlayers 2a and 2b.

[0011] Next, the silicon on sapphire 1 in which Interlayers 2a and 2b and the semiconductor layers 3a and 3b were formed was dipped in hydrochloric-acid system etchant, and temperature of etchant was made into 60 degrees C. And it applied to the ultrasonic washer for about 10 minutes, and Interlayers 2a and 2b were etched. Thereby, the semiconductor layers 3a and 3b of GaN were able to be made to separate from silicon on sapphire 1. The obtained semiconductor layers 3a and 3b showed n-type-conduction nature, the free electron concentration in a room temperature was abbreviation  $3 \times 10^{17} \text{cm}^{-3}$ , and mobility was about  $400 \text{cm}^2 / \text{V-s}$ .

[0012] Next, light emitting diode 10 was manufactured by the MOCVD method by using one semiconductor layer 3 as a substrate among the semiconductor layers 3a and 3b with a thickness of 300 micrometers. Next, the manufacture method of the light emitting diode 10 of this structure is explained. The above-mentioned light emitting diode 10 is an organometallic compound vapor growth (it is described as "MOVPE" below). It was manufactured by the vapor growth to depend. the used gas --  $\text{NH}_3$  Carrier gas  $\text{H}_2$  and trimethylgallium ( $\text{Ga}(\text{CH}_3)_3$ ) (it is described as "TMG" below) Trimethylaluminum (aluminum3 ( $\text{CH}_3$ )) (it is described as "TMA" below) A silane ( $\text{SiH}_4$ ), bis(cyclopentadienyl) magnesium ( $\text{Mg}(\text{C}_5\text{H}_5)_2$ ) (it is described as "Cp<sub>2</sub>Mg" below), and diethylzinc (it is described as "DEZ" below) it is .

[0013] It is MOVPE about the semiconductor substrate 3 of GaN.  $\text{H}_2$  and  $\text{NH}_3$  after setting in the chamber of equipment and exhausting the inside of a chamber to a vacuum The semiconductor substrate 3 was heated in temperature of 1000 degrees C, passing. At this time, it is  $\text{NH}_3$ . It

passes for preventing sublimation of GaN from the semiconductor substrate 3.

[0014] H<sub>2</sub> [ next, ] — a part for 20 liter/, and NH<sub>3</sub> A part for 10 liter/, and TMG a part for 1.7x10<sup>-four</sup>-mol/, and H<sub>2</sub> — 0.86 ppm up to — diluted silane (SiH<sub>4</sub>) It came out for 200 ml/comparatively, it supplied for 20 minutes, and the buffer layer 4 which consists of n type GaN was formed in the thickness of 1 micrometer.

[0015] next, silicon on sapphire 1 900 degrees C — carrying out — H<sub>2</sub> A part for 20 liter/, and NH<sub>3</sub> A part for 10 liter/, and TMG 1.7x10<sup>-four</sup>-mol a part for /and CP2Mg it comes out for 2x10<sup>-seven</sup>-mol/comparatively, it supplies for 10 minutes, and is shown in drawing 5 — as — thickness 0.5-micrometer GaN from — the layer 5 which changes was formed In this state, 5 [ i-layer ] is an insulator.

[0016] Next, the electron ray was uniformly irradiated this i layer 5 using reflection-electron line diffraction equipment. The irradiation conditions of an electron ray are 10kV of acceleration voltage, and a specimen current. They are 1microA, traverse-speed 0.2 mm/sec of a beam, beam-diameter 60micrometerphi, and degree of vacuum 2.1 x10<sup>-5</sup>Torr. By irradiation of this electron ray, 5 is resistivity 108 i layers. It became p conduction-type semiconductor with a resistivity [ cm ] of 40ohms from the insulator more than omegacm. Thus, p layer 5 which shows p conduction type is obtained. Thus, the wafer of multilayer structure as shown in drawing 5 was obtained.

[0017] Next, as shown in drawing 6 , gold (Au) was made 5, the vacuum evaporation of the p layers (aluminum) of the aluminum was made to the semiconductor substrate (n layers) 3, and the diameter formed the electrodes 7 and 6 of 1mmphi, respectively. Thus, n layer 3 of the formed light emitting diode 10 of pn junction and the series resistance of n layer 4 were 0.2ohms.

[0018] Moreover, when n layers of electrodes to 3 were formed in the hole in the light emitting diode of structure conventionally which formed p layers of holes which result in 3 n layers at right angles to the field of 5, n layers of n layers of series resistance of 4 were 50ohms with 3. The resistance of the light emitting diode of this example is decreasing to 1/250 to the resistance of the conventional light emitting diode.

[0019] The emission spectrum of the light emitting diode 10 of this example was observed. The result is shown in drawing 7 . Drive current is 10mA. The peak appeared in wavelength of about 450nm, and, as for the luminescence wavelength property, the luminescent color was blue. Luminous efficiency improved to double precision to the conventional light emitting diode.

[0020] In the above-mentioned example, although an interlayer's 2 thickness was set to 100nm, it can be used in 10nm – 1 micrometer. In the above-mentioned example, although the light emitting diode of pn structure was shown, this invention is applicable also to the light emitting diode of pin structure and MIS structure. Moreover, a semiconductor can apply this invention also by InGa<sub>N</sub> besides Ga<sub>N</sub>, and AlGa<sub>N</sub>. Moreover, a semiconductor may consist of heterojunctions of a different-species semiconductor material.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The interlayer who changes from a zinc oxide (ZnO) to both sides of silicon on sapphire is formed. the interlayer top formed in both sides of silicon on sapphire — III Group nitride semiconductor ( $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ;  $x=0$ ,  $y=0$ , and  $x=y=0$  are included) Two becoming semiconductor layers are formed. from — By removing only the two aforementioned interlayers by wet etching using the solution which \*\*\*\*\*s only a zinc oxide the two aforementioned semiconductor layers are exfoliated from the aforementioned silicon on sapphire — making — III Group nitride semiconductor ( $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ;  $x=0$ ,  $y=0$ , and  $x=y=0$  are included) from — the manufacture method of obtaining the becoming semiconductor of two sheets

[Claim 2] In a claim 1, the aforementioned interlayer's thickness is 10nm - 1 micrometer.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The cross section having shown the manufacture method of the semiconductor substrate of GaN concerning one concrete example of this invention.

[Drawing 2] The cross section having shown the manufacture method of the semiconductor substrate of GaN concerning one concrete example of this invention.

[Drawing 3] The cross section having shown the manufacture method of the semiconductor substrate of GaN concerning one concrete example of this invention.

[Drawing 4] The cross section having shown the manufacture method of the light emitting diode concerning one concrete example of this invention.

[Drawing 5] The cross section having shown the manufacture method of the light emitting diode concerning one concrete example of this invention.

[Drawing 6] The cross section having shown the manufacture method of the light emitting diode concerning one concrete example of this invention.

[Drawing 7] Drawing having shown the luminescence property of light emitting diode.

[Description of Notations]

1 — Silicon on sapphire

2a, 2b — Interlayer

3a, 3b — Semiconductor layer (GaN)

4 — Buffer layer (n-GaN)

5—i layers, p layers

6 7 — Electrode

10 — Light emitting diode

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

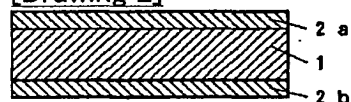
3.In the drawings, any words are not translated.

## DRAWINGS

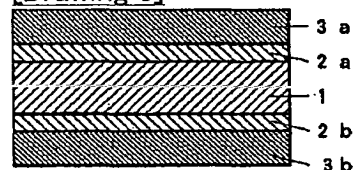
[Drawing 1]



[Drawing 2]



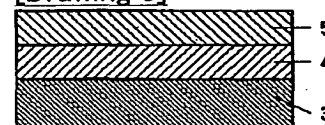
[Drawing 3]



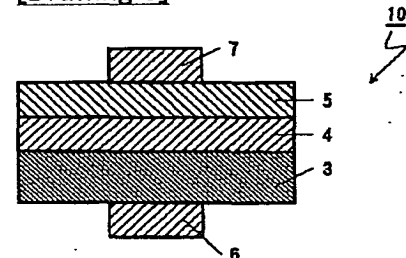
[Drawing 4]



[Drawing 5]

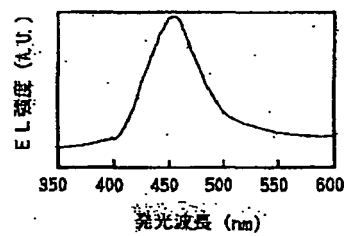


[Drawing 6]



[Drawing 7]





---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-165498

(43)公開日 平成7年(1995)6月27日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

C 3 0 B 29/38

D 8216-4G

25/18

// H 0 1 L 33/00

C

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号 特願平6-242967

(22)出願日 平成6年(1994)10月6日

(31)優先権主張番号 特願平5-253098

(32)優先日 平5(1993)10月8日

(33)優先権主張国 日本 (J P)

(71)出願人 000003263

三菱電線工業株式会社

兵庫県尼崎市東向島西之町8番地

(72)発明者 只友 一行

兵庫県伊丹市池尻4丁目3番地 三菱電線  
工業株式会社伊丹製作所内

(72)発明者 渡部 信一

兵庫県伊丹市池尻4丁目3番地 三菱電線  
工業株式会社伊丹製作所内

(72)発明者 平松 和政

三重県四日市市芝田1丁目4番22号

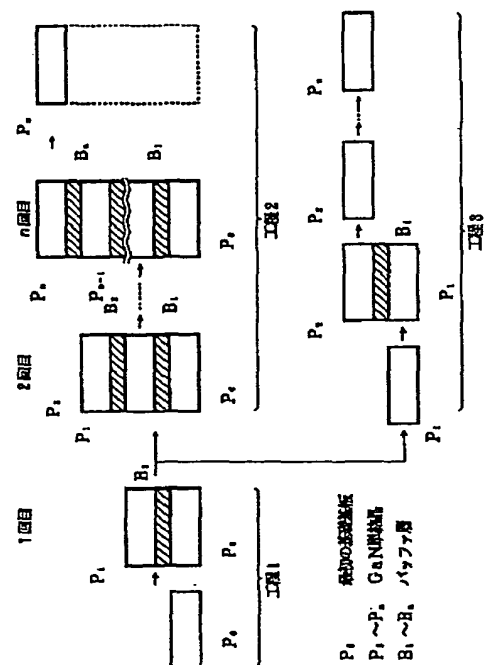
(74)代理人 弁理士 高島 一

(54)【発明の名称】 GaN単結晶およびその製造方法

(57)【要約】

【目的】 高品質な単結晶で、かつ、単独で基板として用いることが可能なほど十分な厚みを有するGaN単結晶とその製造方法を提供すること。

【構成】 2結晶法X線ロックアップカーブの半値全幅が5~250sec、かつ、厚みが80μm以上のGaN単結晶である。少なくとも表面がGaN単結晶である基板上にGaN単結晶との格子整合性の良好な物質を成膜しバッファ層とした上に目的のGaNを結晶成長させる工程を有する製造方法によって製造される。この製造方法はバッファ層の除去法によって分けられる。最初の基板P<sub>0</sub>上に上記結晶成長サイクルを所望の回数繰り返して積層物を形成させた後に各バッファ層B<sub>1</sub>~B<sub>n</sub>を一度に除去しGaN単結晶P<sub>1</sub>~P<sub>n</sub>を得る方法。1サイクル毎にバッファ層を除去し、常にGaN単結晶の単結晶として上記結晶成長サイクルを繰り返す方法。そして、これらが複合された方法である。



## 【特許請求の範囲】

【請求項1】 2結晶法X線ロッキングカーブの半値全幅が5～250secであり、かつ、厚みが80μm以上であるGaN単結晶。

【請求項2】 少なくとも表面がGaN単結晶である基板上にGaN単結晶との格子整合性の良好な物質を薄膜成長させてバッファ層とした上にGaNを結晶成長させてGaN単結晶を得る工程を有するGaN単結晶の製造方法。

【請求項3】 少なくとも表面がGaN単結晶である基板上にGaN単結晶との格子整合性の良好な物質を薄膜成長させてバッファ層とした上にGaNを結晶成長させてGaN単結晶を得る工程を1回の結晶成長サイクルとし、得られたGaN単結晶上に上記結晶成長サイクルを少なくとも1サイクル繰り返して積層物を形成させた後に各バッファ層を除去し、GaN単結晶を得ることを特徴とするGaN単結晶の製造方法。

【請求項4】 少なくとも表面がGaN単結晶である基板上にGaN単結晶との格子整合性の良好な物質を薄膜成長させてバッファ層とした上にGaNを結晶成長させてGaN単結晶を得る工程を1回の結晶成長サイクルとし、得られたGaN単結晶を新たな基板として上記結晶成長サイクルを少なくとも1サイクル繰り返し、かつ1サイクル毎にバッファ層を除去し、GaN単結晶を得ることを特徴とするGaN単結晶の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、青色発光ダイオード等のGaN単結晶基板として好適に用いることができる高品質なGaN単結晶、および、その製造方法に関する。

## 【0002】

【従来の技術】 発光ディスプレイ等における多色化の要求や、通信・記録等におけるデータ密度向上の要求によって、青色から紫外線波長領域に至る短波長の発光が可能な半導体デバイスの出現が強く求められている。この青色～紫外発光デバイス用の半導体材料として、III-V系化合物半導体では最もバンドギャップの広い窒化物であるGaN系単結晶が着目されている。GaNは、直接遷移型バンド構造を有するため高効率の発光が可能であり、かつ、室温でのバンドギャップが約3.4eVと大きいので青色～紫外発光を呈し、上記半導体デバイスの要求に好適な材料である。しかし、GaNは、結晶成長温度が高く、また結晶成長温度付近での窒素の平衡蒸気圧が高いため、融液から高品質で大型の単結晶を製造することは極めて困難である。従って、GaN系単結晶の成長は、耐熱性に優れたサファイア基板またはSiC基板上への、MOVPE (Metal Organic Vapor Phase Epitaxy) またはMBE (Molecular Beam Epitaxy) による非平衡反応に基づくヘテロエピタキシャル成長法によって行われていた。これに対して、近年、ZnOをバ

ッファ層としてサファイア基板上に成膜した上にGaN単結晶を成長させる方法が開示され(例えば、Applied physics letter Vol.61 (1992) p.2688)、GaN基板の作製が可能になった。このGaN基板上に同質のGaN系単結晶薄膜を成長させることによって、上記サファイア基板上への直接的な結晶成長に比べGaN系単結晶薄膜の品質は向上した。

## 【0003】

【発明が解決しようとする課題】 ところが、上記ZnOをバッファ層として用いる従来の方法では、サファイア基板上へのZnOの成膜がスパッタリング法によるものであるため、該ZnO層は高品質の単結晶とはならず、この結晶構造の品質が次のGaN単結晶層に影響するために高品質なGaN単結晶が得られないという問題があった。また、従来知られていたGaN単結晶の結晶品質は、最も高品質なものであっても、2結晶法X線ロッキングカーブの半値全幅(full width at half-maximum of the double-crystal X-ray rocking curve)が100sec程度、室温でのMobilityは600cm<sup>2</sup>/VS程度であったが、結晶を成長させる方法がMOVPEであるために膜厚が5μm程度しか得られず非常に薄いので、GaN単結晶をもとの基板から分離し、例えば半導体発光素子の基板として、単独に用いることは困難であった。このため、GaN単結晶を利用する場合は、もとの基板上に形成された状態のまま用いることを余儀なくされていたのである。以下、本明細書では、「2結晶法X線ロッキングカーブの半値全幅」を単に「半値全幅」という。また、上記のようにZnOバッファ層上に、HVPE (Hydride Vapor Phase Epitaxy) によって成長させたGaN単結晶は、基板としては十分な厚みのものが得られていたが、その品質は半値全幅が300sec以上の低品質のものであった。即ち、良好な品質と十分な厚みとを同時に有するGaN単結晶はなかったのである。

【0004】 本発明の目的は、高品質な単結晶で、かつ、単独で基板として用いることが可能なほど十分な厚みを有する、GaN単結晶を提供することである。本発明の他の目的は、高品質な単結晶で、かつ、単独で基板として用いることが可能なほど十分な厚みを有するGaN単結晶の製造が可能な、GaN単結晶の製造方法を提供することである。

## 【0005】

【課題を解決するための手段】 本発明者等は、GaN単結晶が従来の製造方法による低品質の結晶構造であっても、あるいはサファイア基板等のようなGaN以外の結晶であっても、これらを最初の結晶基板として、この上にGaN単結晶との格子整合性が良好な物質を薄膜成長させてバッファ層とし、この上にGaNを結晶成長させることによって、より高品質のGaN単結晶が得られること、および当該GaN単結晶を新たな基板とし、再び

3

この上にバッファ層・Ga<sub>2</sub>N単結晶を成長させるというように、バッファ層物質とGa<sub>2</sub>Nとを交互にエピタキシャル成長させることを繰り返すに依りてGa<sub>2</sub>N単結晶がより高品質化され、十分な厚みに形成し得ることを見出し本発明を完成した。

【0006】本発明のGa<sub>2</sub>N単結晶およびその製造方法は次の特徴を有するものである。

(1) 2結晶法X線ロックアップカーブの半値全幅が5〜250secであり、かつ、厚みが80μm以上であるGa<sub>2</sub>N単結晶。

(2) 少なくとも表面がGa<sub>2</sub>N単結晶である基板上にGa<sub>2</sub>N単結晶との格子整合性の良好な物質を薄膜成長させてバッファ層とした上にGa<sub>2</sub>Nを結晶成長させてGa<sub>2</sub>N単結晶を得る工程を有するGa<sub>2</sub>N単結晶の製造方法。

(3) 少なくとも表面がGa<sub>2</sub>N単結晶である基板上にGa<sub>2</sub>N単結晶との格子整合性の良好な物質を薄膜成長させてバッファ層とした上にGa<sub>2</sub>Nを結晶成長させてGa<sub>2</sub>N単結晶を得る工程を1回の結晶成長サイクルとし、得られたGa<sub>2</sub>N単結晶上に上記結晶成長サイクルを少なくとも1サイクル繰り返して積層物を形成させた後に各バッファ層を除去し、Ga<sub>2</sub>N単結晶を得ることを特徴とするGa<sub>2</sub>N単結晶の製造方法。

(4) 少なくとも表面がGa<sub>2</sub>N単結晶である基板上にGa<sub>2</sub>N単結晶との格子整合性の良好な物質を薄膜成長させてバッファ層とした上にGa<sub>2</sub>Nを結晶成長させてGa<sub>2</sub>N単結晶を得る工程を1回の結晶成長サイクルとし、得られたGa<sub>2</sub>N単結晶を新たな基板として上記結晶成長サイクルを少なくとも1サイクル繰り返し、かつ1サイクル毎にバッファ層を除去し、Ga<sub>2</sub>N単結晶を得ることを特徴とするGa<sub>2</sub>N単結晶の製造方法。

【0007】

【作用】本発明のGa<sub>2</sub>N単結晶は、基板上にバッファ層の成膜とGa<sub>2</sub>Nの結晶成長とを交互に、また、サイクル的に繰り返すことによって形成される。基板中に存在している多くの転位、積層欠陥などは、Ga<sub>2</sub>Nの結晶成長層内、バッファ層内、または基板とバッファ層との界面、またはバッファ層とGa<sub>2</sub>N結晶成長層との界面で消滅する。従って、該結晶成長サイクルを1回行なう毎に、Ga<sub>2</sub>Nの単結晶構造の品質は向上し、これを限りなく繰り返せば、成長条件で規定されるような単結晶構造に漸近的に収束するものと思われる。本発明の製造方法によって得られるGa<sub>2</sub>N単結晶は品質が良好であり、また、必要ならば80μm以上の厚みにまで形成することが可能であり、特に半導体発光素子の基板として好ましいものとなる。

【0008】

【実施例】以下、実施例を挙げて本発明をより詳細に説明する。本発明のGa<sub>2</sub>N単結晶は、上記したように、その半値全幅が5〜250secの値を示す高品質なものであり、かつ、単独で基板として用いることができる

4

程、十分な厚み80μm以上を有するものである。本発明では、Ga<sub>2</sub>N単結晶の品質を数値で表すための方法としてX線回折法を用い、この方法によって示される半値全幅の値をもってGa<sub>2</sub>N単結晶の品質とした。X線回折法は、結晶に照射されたX線の回折を利用する方法である。そのなかでも、本発明では、その測定精度を向上させるために、2結晶を用いる方法によって測定をおこなった。2結晶を用いるX線回折法は、試料の格子定数を精密に評価し、その半値幅から結晶の完全性を評価する方法である。本発明におけるGa<sub>2</sub>N単結晶の品質評価においては、X線源から入射したX線を第1結晶により高度に単色化して、第2結晶である試料のGa<sub>2</sub>N単結晶に照射し、この試料から回折するX線のピークを中心とするFWHM (full width at half-maximum) を測定した。X線源にはCuKα<sub>1</sub>を用い、30kV、10mAでX線を発生させた。単色化のための第1結晶には、Ge(400)を用いた。測定は、Ga<sub>2</sub>N(0002)の回折ピークについて行い、測定のステップ間隔は0.002°で行うものとした。

10

20

【0009】本発明によるGa<sub>2</sub>N単結晶の品質の実験値については後述するものとし、次にこのような品質のGa<sub>2</sub>N単結晶を得ることが可能な製造方法を説明する。図1は本発明の製造方法によるGa<sub>2</sub>N単結晶の形成工程の一例を模式的に示す図である。本発明のGa<sub>2</sub>N単結晶の製造方法は、最も簡単には、同図工程1に示すように、少なくとも表面がGa<sub>2</sub>N単結晶である最初の基板P<sub>0</sub>上にGa<sub>2</sub>N単結晶との格子整合性が良好な物質を堆積させてバッファ層B<sub>1</sub>とした上にGa<sub>2</sub>Nを結晶成長させてGa<sub>2</sub>N単結晶を得るものである。

30

【0010】本発明のGa<sub>2</sub>N単結晶の製造方法は、また、同図工程2に示すように、工程1で形成された積層体の基板P<sub>1</sub>上にGa<sub>2</sub>N単結晶との格子整合性が良好な物質を薄膜成長させてバッファ層B<sub>2</sub>を形成した上にGa<sub>2</sub>Nを結晶成長させGa<sub>2</sub>N単結晶よりなる基板P<sub>2</sub>を形成させる。この様な工程を、工程1を1回目と数えてサイクル的にn回繰り返すことによって最上層にGa<sub>2</sub>N単結晶P<sub>n</sub>が成長した後に、それまで累積した各バッファ層を一度に除去し、Ga<sub>2</sub>N単結晶P<sub>1</sub>〜P<sub>n</sub>を分離して多数枚のGa<sub>2</sub>N単結晶とする方法である。上記方法では、サイクル数を増やす毎に、得られるGa<sub>2</sub>Nの結晶品質は向上するが、結晶品質の向上が平衡状態に達した後は、むしろ多数枚の基板作製技術として有用なものとなる。

40

【0011】本発明のGa<sub>2</sub>N単結晶の製造方法は、さらに、同図工程3に示すように、工程1のバッファ層B<sub>1</sub>を除去してGa<sub>2</sub>N単結晶P<sub>0</sub>、P<sub>1</sub>を分離し、Ga<sub>2</sub>N単結晶の単独基板P<sub>1</sub>を得、当該基板P<sub>1</sub>上にGa<sub>2</sub>N単結晶との格子整合性が良好な物質を薄膜成長させてバッファ層B<sub>2</sub>を形成した上にGa<sub>2</sub>Nを結晶成長させ、バッファ層B<sub>2</sub>を除去してGa<sub>2</sub>N単結晶P<sub>1</sub>、P<sub>2</sub>を分離す

50

る。この様な工程を、工程1を1回目と数えてサイクル的に $n$ 回繰り返すことによってGa<sub>0.5</sub>N単結晶P<sub>0</sub>が得られる。即ち、本方法は新たに得られるGa<sub>0.5</sub>N単結晶が結晶成長する度に、その結晶成長の基礎となったバッファ層を1サイクル毎に除去し、新たに得られるGa<sub>0.5</sub>N単結晶を常にGa<sub>0.5</sub>N単結晶の単結晶とする方法である。この方法においても上記工程2と同様に、結晶品質の向上が平衡状態に達した後は、バッファ層を除去して分離される2つのGa<sub>0.5</sub>N単結晶は、製品材料として利用する他に、各々次のGa<sub>0.5</sub>N結晶成長サイクルの基板として再び利用してもよい。

【0012】また、工程2、3に示した2つの方法を適当に複合する方法として、結晶成長サイクルの任意の回数 $k$ ごとにバッファ層を除去する方法が考えられる。この場合の任意の回数 $k$ は自由に選択してよい。

【0013】上記のように、本発明のGa<sub>0.5</sub>N単結晶の製造方法は、結晶成長サイクルを繰り返すことによって、Ga<sub>0.5</sub>Nの結晶構造が該結晶成長サイクルを1回行なう毎に品質が向上し、所望の回数 $n$ 回目に、極めて高品質なGa<sub>0.5</sub>N単結晶P<sub>0</sub>が得られるというものである。

【0014】バッファ層の薄膜成長は、公知の成膜法や結晶成長法が用いられるが、特にエピタキシャル成長可能な成膜法が、得られるGa<sub>0.5</sub>N単結晶の品質向上に対して好ましい。また、バッファ層上へGa<sub>0.5</sub>Nを結晶成長させる方法も、バッファ層の薄膜成長と同様に、エピタキシャル成長可能な成膜法が品質向上に対して好ましい。

【0015】エピタキシャル成長は、結晶基板上にこれと同一物質あるいは同一結晶構造の物質を、その結晶軸の向きが基板の結晶軸の向きにそろった単結晶として成長させる方法である。本発明においては、Ga<sub>0.5</sub>Nやバッファ層となる物質をエピタキシャル成長させる成膜法が最も好ましく、特にVPE (Vapor Phase Epitaxy)、HVPE、MOVPE、MBE、GS-MBE (Gas Source MBE)、CBE (Chemical beam Epitaxy) 等が挙げられる。

【0016】上記結晶成長サイクルを繰り返す回数 $n$ は、特に限定されるものではなく、求めるGa<sub>0.5</sub>N結晶の品質に応じて、また、必要とするGa<sub>0.5</sub>N結晶基板の枚数に応じてサイクル回数を決定してよいが、通常の半導体デバイス用のGa<sub>0.5</sub>N結晶基板として用いるには、2回～5回程度で十分な結晶品質となる。

【0017】上記、Ga<sub>0.5</sub>Nの結晶成長の基礎となったバッファ層を除去する方法は、得られたGa<sub>0.5</sub>N単結晶を分離する方法であればどのような方法であってもよいが、酸等による化学的な除去方法が有効である。

【0018】上記バッファ層に用いられる物質は、Ga<sub>0.5</sub>N単結晶との格子整合性が良好なものが用いられる。Ga<sub>0.5</sub>N単結晶と格子整合性の良好な物質とは、結晶格子における $a$ 軸の格子定数が、Ga<sub>0.5</sub>N単結晶のそれに対して $\pm 10\%$ 以内、好ましくは $\pm 5\%$ 以内であるウルツァイ

ト型の結晶構造も持つものを言う。これを満足する物質の好ましい例として、ZnOが挙げられる。ZnOの $a$ 軸の格子定数(単位格子の長さ)は $3.2496\text{\AA}$ であり、Ga<sub>0.5</sub>Nの $a$ 軸の格子定数 $3.189\text{\AA}$ に対して $+1.9\%$ と、非常に近似した格子定数を備えており、良好なGa<sub>0.5</sub>Nの結晶成長が行い得るので望ましい。また、ZnOは酸によるエッチング除去性が良好であり、この点でも、バッファ層に用いる物質として好適である。バッファ層の厚みは、 $0.01\mu\text{m}\sim 100\mu\text{m}$ 程度が好ましい。

【0019】最初の基板P<sub>0</sub>は、少なくとも表面がGa<sub>0.5</sub>N単結晶であるものを用いる。即ち、全体が実質的にGa<sub>0.5</sub>NだけからなるGa<sub>0.5</sub>N単結晶の単結晶の基板、または、Ga<sub>0.5</sub>N単結晶層をバッファ層形成側の表面に有するような、表面だけがGa<sub>0.5</sub>N単結晶であるような基板である。後者の場合、Ga<sub>0.5</sub>N単結晶層を担持する基材物質としては、Ga<sub>0.5</sub>N単結晶の成長温度( $1000\sim 1100^\circ\text{C}$ )に対する耐熱性が良好なものが望ましく、例えばサファイア結晶基板、Si基板、水晶、ZnO基板、SiC基板などが例示される。これら基材物質上へのGa<sub>0.5</sub>N単結晶層の形成は、MOVPE法、MBE法などによる非平衡反応に基づくヘテロエピタキシャル成長法によって行うことができる。

【0020】[Ga<sub>0.5</sub>N単結晶の製造実験および品質確認実験]次に、本発明のGa<sub>0.5</sub>N単結晶の製造方法によって実際にGa<sub>0.5</sub>N単結晶を製造し、その品質を確認した結果を示す。

#### 実験例1

本実験例では、上記本発明のGa<sub>0.5</sub>N単結晶の製造方法における結晶成長サイクルを繰り返す方法として、図1における工程2に示すように、最初の基板P<sub>0</sub>上にバッファ層およびGa<sub>0.5</sub>N単結晶を順次成長させて積層し、最後に各バッファ層を一度に除去してGa<sub>0.5</sub>N単結晶を分離する方法とした。最初の基板P<sub>0</sub>としては、サファイア結晶基材上にMOVPE法によりGa<sub>0.5</sub>N単結晶層をエピタキシャル成長させた基板を用いた。バッファ層は厚みを $0.2\mu\text{m}$ 、材料をZnOとした。結晶成長サイクルは5回繰り返すものとした。結晶成長サイクル各回に形成されるGa<sub>0.5</sub>N単結晶P<sub>1</sub>～P<sub>5</sub>の厚みは全て $300\mu\text{m}$ を目標とした。最後に得られたGa<sub>0.5</sub>N単結晶P<sub>5</sub>の半値全幅を測定したところ、 $29\text{sec}$ であり、また、その厚みは $305\mu\text{m}$ であった。

#### 【0021】実験例2

本実験例では、上記実験例1における結晶成長サイクルを繰り返す方法に代えて、図1における工程3に示すように、Ga<sub>0.5</sub>N単結晶がエピタキシャル成長する度に、その前のバッファ層を除去し、新たな基板を常に1枚のGa<sub>0.5</sub>N単結晶の単結晶とした以外は、実験例1と全く同様のGa<sub>0.5</sub>N単結晶の作製を行った。最後に得られたGa<sub>0.5</sub>N単結晶P<sub>5</sub>の品質は、半値全幅が $28\text{sec}$ であり、ま

た、その厚みは289 $\mu$ mであった。

#### 【0022】実験例3

本実験例では、上記実験例2における最初の基板として、サファイア基板と、AlN（窒化アルミニウム）のバッファ層と、Ga<sub>0.9</sub>N<sub>0.1</sub>単結晶とからなる3層の基板を用いた以外は、実験例2と全く同様のGa<sub>0.9</sub>N<sub>0.1</sub>単結晶の作製を行った。3層の基板の製作工程を簡単に説明する。厚さ300 $\mu$ m、面積5cm $\times$ 5cmのサファイア結晶基板上に、バッファ層としてAlNをMOVPE法によって厚み500Åまでエピタキシャル成長させ、その状態のまま材料ガスを切替え、同じMOVPE法によってGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を厚み2 $\mu$ mまでエピタキシャル成長させて表層とし、サファイア結晶基板と、AlNバッファ層と、Ga<sub>0.9</sub>N<sub>0.1</sub>単結晶の表層とからなる総厚約302 $\mu$ mの三層構造の基板を得た。本実験によって最後に得られたGa<sub>0.9</sub>N<sub>0.1</sub>単結晶P<sub>3</sub>の品質は、半値全幅が25secであり、また、その厚みは295 $\mu$ mであった。

#### 【0023】実験例4

本実験例では、上記実験例2において、最初の基板P<sub>0</sub>として実験例3と同様の3層の基板を用い、Ga<sub>0.9</sub>N<sub>0.1</sub>単結晶の結晶成長サイクルを繰り返す際の、各サイクルにおけるバッファ層の材料として(BeO)<sub>0.13</sub>(ZnO)<sub>0.87</sub>を用いた以外は、実験例2と全く同様のGa<sub>0.9</sub>N<sub>0.1</sub>単結晶の作製を行った。本実験によって最後に得られたGa<sub>0.9</sub>N<sub>0.1</sub>単結晶P<sub>4</sub>の品質は、半値全幅が28secであり、また、その厚みは301 $\mu$ mであった。

#### 【0024】実験例5

本実験例では、本発明によるGa<sub>0.9</sub>N<sub>0.1</sub>単結晶の品質と比較するために、従来の製造方法によるGa<sub>0.9</sub>N<sub>0.1</sub>単結晶の品質を調べた。厚さ300 $\mu$ m、面積5cm $\times$ 5cmのサファイア結晶基板上に、スパッタリング法によってZnOを材料とする厚さ0.6 $\mu$ mのバッファ層を成膜し、その上にHVPEによってGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を厚さ250 $\mu$ mまでエピタキシャル成長させた。このGa<sub>0.9</sub>N<sub>0.1</sub>単結晶の品質は、半値全幅が420secであった。

【0025】上記実験結果で明らかのように、本発明のGa<sub>0.9</sub>N<sub>0.1</sub>単結晶の製造方法は、従来には無い、高品質なGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を製造することが可能であり、かつ、Ga<sub>0.9</sub>N<sub>0.1</sub>単結晶を単独の基板として用いるのに十分な厚みに製造

することが可能であることが確認された。

【0026】本発明の製造方法によって得られる、このような高品質で厚いGa<sub>0.9</sub>N<sub>0.1</sub>単結晶は、発光ダイオード(LED)、レーザーダイオード(LD)、スーパーミネッセンスダイオード等の半導体発光素子、電子デバイス等の用途に好ましく用いられる。半導体発光素子においては、本発明のGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を基板として用いることで、従来の赤色LED等と同じ電極部の構造を有するLED、LD等の製造が可能となる。これらのなかでも特に、青色発光するものは重要である。また、その半導体発光素子の発光の効率はいずれも高いものとなる。

【0027】〔本発明によるGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を用いたLEDの品質確認実験〕本発明の製造方法によって得られたGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を基板として用いたLEDを実際に製造し、その品質を確認した。また、従来品質のGa<sub>0.9</sub>N<sub>0.1</sub>単結晶、およびサファイア結晶を各々基板とするLEDを製作し、本発明のGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を基板とするLEDの品質と比較した。従来品質のGa<sub>0.9</sub>N<sub>0.1</sub>単結晶としては、半値全幅が300secのものを用いた。LEDの品質は、初期の輝度と寿命について評価した。寿命は、温度85℃湿度85%の雰囲気中において20mAの電流によって2000時間連続発光させた後の輝度を測定し、その輝度の初期の輝度に対する低下率を求め、低下率2%未満をA、低下率2~5%未満をB、低下率5~10%をCと、3つのランクに分けた。LEDの構造は、本発明の製造方法によって得られたGa<sub>0.9</sub>N<sub>0.1</sub>単結晶を基板とし、該基板上に、n-AlGa<sub>0.9</sub>Nクラッド層、アンドープのInGa<sub>0.9</sub>N活性層、p-AlGa<sub>0.9</sub>Nクラッド層を順次成長させてなるダブルヘテロ接合型の構成とした。本発明によるGa<sub>0.9</sub>N<sub>0.1</sub>単結晶の基板の品質は、半値全幅が30sec、100sec、250secの3種類である。厚みはすべて280 $\mu$ mである。また、活性層のInGa<sub>0.9</sub>Nの組成比は、In<sub>0.15</sub>Ga<sub>0.85</sub>Nと、In<sub>0.25</sub>Ga<sub>0.75</sub>Nの2種類とし、各々の組成比のInGa<sub>0.9</sub>Nについて、発光素子を作成し実験を行った。この実験結果を次の表1、2に示す。

#### 【0028】

〔表1〕

活性層の組成比が $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ であるLED  
の輝度と寿命の比較

基 板	FWHM (sec)	初期の輝度 (candela)	寿 命
GaN	30	1.8	A
GaN	100	1.4	A
GaN	250	1.2	B
GaN	300	1.1	B
サファイア	—	1.0	C

【0029】

\* \* 【表2】

活性層の組成比が $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ であるLED  
の輝度と寿命の比較

基 板	FWHM (sec)	初期の輝度 (candela)	寿 命
GaN	30	2.9	A
GaN	100	2.5	A
GaN	250	2.2	B
GaN	300	2.2	B
サファイア	—	2.0	C

【0030】表1、2に示すように、本発明による高品質なGaN単結晶を基板として用いたLEDは、初期の輝度と寿命の点で、従来のものより優れたLEDであることがわかった。

【0031】また、LDに関しては、次の現象が確認できた。サファイア結晶を基板とする従来のLDでは、サファイア結晶が、へき開面の形成が困難な物質であるために基板面が好ましい鏡面状態とはならず、その基板面に形成されるGaN系化合物半導体層の面の状態は、基板面の状態に従うため、LDにとって好ましい反射面は形成することができなかった。しかし、本発明によるGaN単結晶は高品質であり十分な厚みを有するため、GaN単結晶を基板として、そのへき開面を得ることが容易になった。また、従来のGaN系化合物半導体を用いたLDでは、結晶品質が劣っているため、電流注入による誘導放出が達成できなかったが、本発明による高品質なGaN単結晶を基板として用いたファブリ・ペロー型

共振器のストライプレーザを構成し実験したところ、室温において誘導放出が確認された。

【0032】

【発明の効果】以上詳述したように、本発明のGaN単結晶は、従来にはなかった結晶品質と十分な厚みを同時に備えるものである。また、本発明の製造方法は、そのような高品質で十分な厚みを同時に備えたGaN単結晶を好適に提供することができる。従って、高効率の青色発光を呈するLEDや、紫外線レーザーダイオード、または耐熱性の良好な半導体デバイスを得るために好適なGaN単結晶の基板を提供することができる。また、本発明の製造方法は、GaN単結晶の結晶品質の向上および厚みの獲得だけでなく、高品質なGaN単結晶を効率良く多数枚製造することが可能であり、工業的にも極めて重要な技術である。

【図面の簡単な説明】

【図1】本発明によるGaN単結晶の製造方法の工程の

一例を示す模式図である。

【符号の説明】

$P_0$  最初の基板

$P_1 \sim P_n$  GaN単結晶

$B_1 \sim B_n$  バッファ層

【図1】

